

(19) 대한민국특허청 (KR)
(12) 등록특허공보 (B1)

(51) 。 Int. Cl. ⁶
H01L 21/18

(45) 공고일자 2002년03월12일
(11) 등록번호 10 -0326773
(24) 등록일자 2002년02월19일

(21) 출원번호 10 -1999 -0044158
(22) 출원일자 1999년10월12일

(65) 공개번호 특2001 -0036949
(43) 공개일자 2001년05월07일

(73) 특허권자 한국과학기술연구원
박호균
서울 성북구 하월곡2동 39 -1

(72) 발명자 최원준
서울특별시강북구수유동530 -1현대빌라4동201호
강광남
서울특별시서초구반포2동주공@2단지218동502호
김선호
경기도고양시일산구주엽2동22번지우성아파트305동2002호
우덕하
서울특별시구로구구로6동125 -1력키아파트2동309호
이석
서울특별시관악구신림5동1430 -51
한일기
서울특별시노원구상계9동상계주공14단지1404동303호
김희중
서울특별시노원구상계1동1113 -43
이희택
서울특별시영등포구여의도동여의도시범@21동53호

(74) 대리인 이종일

설사권 : 귀총창

(54) 양자우물 무질서화 기술에서 유전체 -반도체 덮개층 조합에 의한 InGaAs / InGaAsP 양자우물 밴드갭의 조작방법

본 발명은 양자우물 무질서화 기술에서 유전체 -반도체 덮개층 조합에 의한 InGaAs/InGaAsP 양자우물 밴드갭의 조작 방법에 관한 것으로서, 유전체 덮개층을 이용하여 InGaAs/InGaAsP 양자우물구조 기반에 국부적으로 다른 밴드갭을 형성하기 위한 양자우물 무질서화 공정에 있어서, 상기 유전체 덮개층으로 SiN_x 나 SiO_2 를 사용하고 InGaAs/InGaAsP 양자우물 상부의 반도체 덮개층으로 동일 두께의 InP이나 InGaAs 혹은 InGaAsP 을 사용하여 양자우물을 무질서화하는 경우, 상기 유전체 덮개층 및 반도체 덮개층을 이용한 유전체 -반도체 조합을 양자우물 기반상에 형성하고 소정 온도 및 소정 시간의 열처리를 통하여 양자우물구조 기반에 국부적으로 다른 밴드갭을 형성시킴으로써 양자우물 구조의 밴드갭 이동량을 조절할 수 있다.

도 3도

도 7

명세서

도면의 간단한 설명

도 1은 양자우물 무질서화 공정 전후의 양자우물의 밴드갭을 보여주는 모식도이다.

도 2는 CBE 방법으로 성장된 양자우물 구조의 개략도이다.

도 3은 본 발명의 공정흐름도이다.

도 4는 8분동안 열처리된 시료들의 열처리 온도에 따른 밴드갭의 청색편이를 나타내는 그래프이다.

도 5는 750 °C에서 열처리한 시료들의 열처리 시간에 대한 밴드갭의 청색편이를 나타내는 그래프이다.

도 6은 SiO_2 - SiN_x 조합을 이용하여 양자우물 기반상에 국부적 밴드갭차를 얻는 유전체 덮개층의 조합의 예를 나타낸 것이다.

도 7은 SiO_2 - SiN_x 조합 및 반도체 덮개층의 조합을 이용하고 8분동안 열처리함으로써 양자우물 기반상에서 얻어지는 국부적 밴드갭 차를 열처리 온도의 함수로 나타낸 그래프이다.

도 8은 SiO_2 - SiN_x 조합 및 반도체 덮개층의 조합을 이용하고 750 °C에서 열처리함으로써 양자우물 기반상에서 얻어지는 국부적 밴드갭 차를 열처리 시간의 함수로 나타낸 그래프이다.

도 9는 SiO_2 , SiN_x 및 반도체 덮개층 조합을 이용하여 양자우물 기반상에 국부적 밴드갭 차를 얻기 위한 유전체 -반도체 덮개층 조합의 예를 나타낸 것이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기존의 유전체 덮개층을 이용하여 양자우물 구조의 밴드갭을 국부적으로 상이하게 하는 방식중 유전체 덮개층으로 사용되는 SiN_x 및 SiO_2 박막과 반도체 양자우물 구조 상부의 반도체 덮개층의 적당한 조합을 통하여 양자우물 무질서도를 조작하여 양자우물 구조의 밴드갭을 조작하는 방법에 관한 것이다.

양자우물 무질서화 기술은 도 1에 모식적으로 나타낸 바와 같이 양자우물을 이루는 장벽층과 속박층을 이루는 원자들의 상호 섞임을 이용하여 양자우물 구조를 성장 후 양자우물의 밴드갭을 조정하는 기술이다. 이 기술을 사용하는 경우,

MOCVD (metal -organic chemical vapor deposition), MBE (molecular beam epitaxy), CBE (chemical beam epitaxy) 등 여러 가지 반도체 박막성장 장치에 의해 구현되는 양자우물 구조를 국부적으로 상이한 밴드갭을 갖게 만들 수 있다.

InGaAs/InGaAsP 양자우물 구조의 경우, 기존의 유전체 덮개층을 이용한 양자우물 무질서화 방법으로는 'Jap. J. Appl. Phys. Lett., Vol. 29, pp. L961 -L963, 1990'에서 공개된 것으로, 상기 공지된 기술은 양자우물 상층부의 덮개층에 상판없이 SiN_x 박막은 양자우물 무질서화를 증강시키는 덮개층으로, SiO₂ 박막은 양자우물 무질서를 억제하는 덮개층으로 사용되었다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 종래기술은 유전체 덮개층을 이용하여 양자우물 무질서화를 하는 방법이므로 유전체 덮개층 외의 것, 예를 들면, 반도체 덮개층을 이용하여 양자우물 무질서화를 조작할 수 없는 문제점이 있다.

본 발명은 상기 종래기술의 문제점을 해결하기 위한 것으로써, 본 발명의 목적은 양자우물로 구성된 기판을 국부적으로 서로 다른 밴드갭을 갖게 조작하려는 경우, 유전체 덮개층의 종류 및 반도체 덮개층의 종류를 적절히 선택하고 소정 온도 및 소정시간으로 열처리를 해 줌으로써 양자우물 구조의 밴드갭 이동량을 조절할 수 있도록 한 양자우물 무질서화 기술에서 유전체 덮개층 뿐만 아니라 반도체 덮개층을 변화시킴으로써 양자우물 무질서도를 조작할 수 있는 방법을 제공하는데 있다.

상기 본 발명의 목적을 달성하기 위한 기술적 사상으로써, 유전자 덮개층을 이용하여 InGaAs/InGaAsP 양자우물 구조 기판에 국부적으로 다른 밴드갭을 형성하기 위한 양자우물 무질서화 공정에 있어서, 상기 유전체 덮개층으로 SiN_x나 SiO₂를 사용하고 InGaAs/InGaAsP 양자우물 상부의 반도체 덮개층으로 동일 두께의 InP이나 InGaAs 혹은 InGaAsP를 사용하여 양자우물을 무질서화하는 경우, 상기 유전체 덮개층 및 반도체 덮개층을 이용한 유전체 -반도체 조합을 양자우물 기반상에 형성하고 소정 온도 및 소정시간의 열처리를 통하여 양자우물구조 기판에 국부적으로 다른 밴드갭을 형성시키는 발명이 제시된다.

발명의 구성 및 작용

이하, 본 발명의 실시예를 첨부된 도면을 참조하면서 상세히 설명하기로 한다.

도 2는 본 발명에 사용된 CBE 방법으로 성장된 InGaAs/InGaAsP 양자우물 구조를 갖는 세가지 기판을 보여준다.

도 2에 도시한 바와 같이 반도체 덮개층의 양자우물 무질서화도를 바꾸기 위해 양자우물 상층부의 반도체 덮개층으로 InP, 격자 정합된 InGaAs 및 InGaAsP(1.25Q)인 세 가지 시료를 성장하였다.

양자우물은 InP에 격자 정합된 InGaAsP(1.25Q) 장벽층사이에 끼워진 InP에 격자 정합된 7 nm 두께의 InGaAs 층으로 구성되어 있다. 성장된 시료들의 상온에서의 형광 스펙트럼은 1550 nm에서 양자우물 형광 피크를 나타내었다. 양자우물 상호혼합 공정을 위해 유전체 덮개층으로는 PECVD방법으로 성장된 SiO₂ 및 SiN_x 박막이 사용되었다.

이러한 방법으로 2개의 유전체 덮개층과 3 개의 반도체 덮개층의 조합으로 구성된 총 6개의 시료가 준비되었다. 이들 시료를 반도체 -유전체 조합으로 표시하면, InP -SiO₂, InP -SiN_x, InGaAs -SiO₂, InGaAs -SiN_x, InGaAsP -SiO₂ 및 InGaAsP -SiN_x이다. 제작된 시료들은 여러 온도 및 시간에서 전기로를 이용하여 열처리하고 유전체 박막을 제거한 후 상온에서 형광 스펙트럼을 측정함으로써 양자우물의 밴드갭을 측정하고 원 시료의 형광 스펙트럼과 비교하여 청색 편이의 정도를 살펴으로써 양자우물 무질서도를 정량적으로 비교하였다.

도 3은 본 발명의 실시예의 공정흐름도이다.

도 3에 도시한 바와 같이 본 발명에 의한 양자우물 무질서화 기술에서 유전체 -반도체 덮개층 조합에 의한 InGaAs/InGaAs 양자우물 밴드갭의 조작을 위한 제조공정은 다음과 과정을 포함한다.

(a) 화학선속성장법(CBE:Chemical Beam Epitaxy)에 따라 InGaAs/InGaAsP 양자우물 기판장상을 하는 과정(스텝 100)과;

(b) 플라즈마증강 화학기상증착법(PECVD: Plasma Enhanced Chemical Deposition)에 의한 양자우물 기판상 유전체 박막(SiO_2 , SiN_x)을 성장하는 과정(스텝200)과;

(c) 전기로를 이용하여 600℃ ~ 800℃에서 4분 ~ 12분간 열처리하는 과정(스텝300)과;

(d) 유전체 박막을 제거하는 과정(스텝400)

도 4는 8분동안 여러 온도에서 열처리한 시료의 열처리 온도에 따른 청색편이량을 보여준다.

도 4에 나타난 바와 같이, 온도가 증가할수록 청색편이량이 증가하며, 동일한 반도체 덮개층을 갖는 시료에 대해 SiN_x 덮개층이 SiO_2 덮개층보다 양자우물 무질서화를 증강시켜 양자우물 밴드갭의 청색편이를 크게 일으킴을 알 수 있다.

상기 도 4는 또한 양자우물 무질서도가 유전체 덮개층의 종류 뿐만 아니라 반도체 덮개층의 종류에도 의존함을 보여 준다.

SiN_x 덮개층의 경우 InP가 가장 많은 청색편이를 일으켰으며 InGaAs가 가장 적은 청색편이를 일으킨다. 이와는 달리 SiO_2 덮개층의 경우 InGaAs가 가장 많은 청색편이를 일으키고 InGaAsP가 가장 적은 청색편이를 일으킨다.

도 5는 750℃에서 열처리한 시료들의 열처리 시간에 따른 청색편이량을 보여주는데, 위에서 설명한 양자우물 무질서의 반도체 덮개층 및 유전체 덮개층에 대한 의존성을 동일하게 보여주고 있으며 또한 열처리 시간의 증가에 따라 양자우물 무질서도가 증가하여 청색편이량이 증가함을 보여준다. 따라서 인위적으로 양자우물로 구성된 기판을 국부적으로 서로 다른 밴드갭을 갖게 조작하려는 경우, 유전체 덮개층의 종류 및 반도체 덮개층의 종류를 적절히 선택하고 적절한 열처리 온도 및 열처리 시간을 정함으로써 그 정도를 조절할 수 있다.

유전체를 덮개층으로 하여 양자우물로 구성된 기판의 양자우물 밴드갭을 국부적으로 다르게 하려는 시도는 여러 곳에서 시도되어 왔다[Appl. Phys. Lett. Vol. 49, pp. 510 -512, 1986].

도 6은 SiN_x 와 SiO_2 가 서로 다른 양자우물 무질서도를 유지하는 특성을 이용하여 양자우물로 구성된 기판을 국부적으로 서로 다른 양자우물 밴드갭을 갖게 하는 덮개 구조의 모식도이다.

상기 도 4 및 도 5를 근거로 이해되는 바와 같이, SiN_x 하부의 양자우물의 밴드갭은 SiO_2 하부의 양자우물의 밴드갭보다 크게 되며 그 정도는 반도체 덮개층의 종류에 따라 결정된다. 따라서 본 발명의 결과를 응용하는 경우, 일정한 반도체 덮개층을 갖는 양자우물 구조를 SiO_2 - SiN_x 조합을 이용하여 국부적으로 서로 다른 밴드갭을 갖게 만들 수 있을 뿐만 아니라 양자우물 구조 상부의 반도체 덮개층을 적절히 선택함으로써 국부적으로 얻을 수 있는 밴드갭의 차를 극대화할 수 있다.

도 7 및 도 8은 상기 도 6에서와 마찬가지로 반도체 덮개층이 각각 InP, InGaAs 및 InGaAsP 일 때, SiO_2 - SiN_x 조합에 의한 두 영역에서의 밴드갭 차와 도 9에서 보이는 바와 같이 반도체 덮개층 및 유전체 덮개층을 조합하여 얻을 수 있는 최대 밴드갭 차에 대해 각각 열처리 온도 및 열처리 시간의 함수를 나타낸 것이다.

상기 도 7 및 도 8에서 알 수 있듯이 SiO_2 - SiN_x 의 유전체 덮개층 조합으로 했을 때 InP 나 InGaAsP를 반도체 덮개층으로 사용하는 경우가 InGaAs를 반도체 덮개층으로 사용하는 경우보다 국부적 밴드갭의 차가 클 수 있다.

일반적으로 잘 알려진 반도체공정을 통하여 반도체 덮개층과 유전체 덮개층의 조합을 적절히 선택할 수 있다. 이렇게 함으로써 도 9의 예와 같이 양자우물 구조상에 덮개 구조를 만들 수 있다. 여기에서 도 7 및 도 8에서 보는 바와 같이 $\text{InP}(\text{SiN}_x)$ - $\text{InGaAsP}(\text{SiO}_2)$ 조합을 이용하는 경우가 모든 열처리 시간 및 열처리 온도에 대해 가장 큰 국부적 밴드갭 차를 얻게 된다.

발명의 효과

이상에서 설명한 바와 같이 본 발명의 양자우물 무질서화 기술에서 유전체 -반도체 덮개층 조합에 의한 InGaAs/InGaAsP 양자우물 밴드갭의 조작방법에 따르면 다음과 같은 효과가 있다. 즉, InP 기판상에 성장된 InGaAs/InGaAsP 양자우물 구조의 밴드갭은 양자우물 구조위에 유전체 덮개층을 도포하고 열처리 과정을 거침으로써 청색변이가 가능한데, 양자우물 구조 상부의 반도체 덮개층과 그 위에 도포된 유전체 덮개층의 종류, 열처리 온도 및 열처리 시간을 변화시킴으로써 밴드갭 이동량을 조정할 수 있다. 따라서 리소그래피, 식각 및 유전체 도포등의 일반적인 반도체공정을 이용하여 양자우물 기판상에 서로 다른 반도체 -유전체 덮개층 조합을 갖는 영역을 만들고 열처리함으로써 서로 다른 밴드갭을 갖는 영역들을 동일한 InGaAs/InGaAsP 양자우물 기판상에 만들 수 있다.

또한, 본 발명의 결과를 이용하는 경우, SiN_x 및 SiO_2 막막 덮개층 뿐만이 아니라 반도체 덮개층의 종류를 바꾸어 줌으로써 다양한 조합을 이용하여 양자우물 구조를 국부적으로 상이한 밴드갭을 갖게 만들 수 있다.

본 발명은 예시적인 실시예를 참조하여 설명하였으나, 이러한 설명들은 제한적 의미로 해석되어서는 아니될 것이다. 본 발명이 관련된 기술 분야에서 통상의 지식을 가진 자라면, 본 발명의 상세한 발명을 참고로 하여 예시적인 실시예를 다양하게 변경 또는 조합하거나 다르게 실시할 수 있음은 명백하다. 따라서, 다음 특허 청구의 범위는 이러한 변경과 실시예들을 모두 포함하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

InGaAs/InGaAsP 양자우물구조 기판을 국부적으로 다른 밴드갭을 갖게 만들기 위한 유전체 덮개층을 통한 양자우물 무질서화 공정에 있어서,

상기 유전체 덮개층으로 SiN_x 나 SiO_2 를 사용하고, InGaAs/InGaAsP 양자우물 상부의 반도체 덮개층으로 동일 두께의 InP , InGaAs 혹은 InGaAsP 를 사용하여 양자우물 무질서화 하는 경우, 이들 유전체 및 반도체 덮개층들을 이용한 유전체 -반도체 조합을 양자우물 기판상에 만들고 열처리를 통하여 양자우물구조 기판을 국부적으로 다른 밴드갭을 갖게 만드는 것을 특징으로 하는 양자우물 무질서화 기술에서 유전체 -반도체 덮개층 조합에 의한 InGaAs/InGaAsP 양자우물 밴드갭의 조작방법.

청구항 2.

청구항 1에 있어서, 상기 InP 기판에 성장된 양자우물구조에 SiN_x 나 SiO_2 를 사용하여 밴드갭 천이시키는 것을 특징으로 하는 양자우물 무질서화 기술에서 유전체 -반도체 덮개층 조합에 의한 InGaAs/InGaAsP 양자우물 밴드갭의 조작방법.

청구항 4.

청구항 1에 있어서, 상기 양자우물 밴드갭 천이를 위해 유전체 덮개층 및 반도체 덮개층을 $600^\circ\text{C} \sim 800^\circ\text{C}$ 의 온도로 4분 ~ 12분간 열처리하는 것을 특징으로 하는 양자우물 무질서화 기술에서 유전체 -반도체 덮개층 조합에 의한 InGaAs/InGaAsP 양자우물 밴드갭의 조작방법.

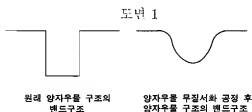
청구항 5.

청구항 1에 있어서, 상기 SiN_x 와 SiO_2 를 양자우물 기판에 국부적으로 도포하고 이를 이용하여 양자우물 기판에 국부적으로 다른 밴드갭을 형성시키는 것을 특징으로 하는 양자우물 무질서화 기술에서 유전체 -반도체 덮개층 조합에 의한 $\text{InGaAs}/\text{InGaAsP}$ 양자우물 밴드갭의 조작방법.

청구항 6.

청구항 1에 있어서, 상기 양자우물 상부에 반도체 덮개층으로 InP , InGaAs 혹은 InGaAsP 의 화합물 반도체를 사용하고 유전체 덮개층으로 SiN_x 와 SiO_2 를 사용하는 경우에, 국부적으로 서로 다른 반도체 -유전체 조합들을 만들고 이를 이용하여 양자우물 기판에 국부적으로 다른 밴드갭을 형성시키는 것을 특징으로 하는 양자우물 무질서화 기술에서 유전체 -반도체 덮개층 조합에 의한 $\text{InGaAs}/\text{InGaAsP}$ 양자우물 밴드갭의 조작방법.

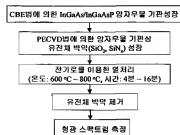
도면



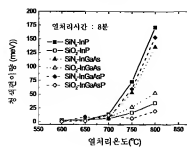
도면 2

반도체 덮개층(InP , InGaAs , InGaAsP)	50 nm
$\text{InGaAsP}(\text{Q1.25})$	90 nm
InGaAs	7 nm
$\text{InGaAsP}(\text{Q1.25})$	140 nm
n형 InP-Si	$5 \times 10^{17} \text{ cm}^{-3}$
n형 InP 기판	1000 nm

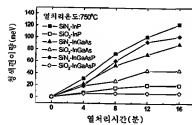
도면 3



도면 4



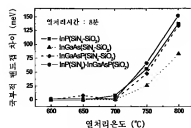
도면 5



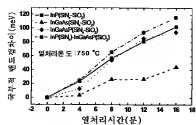
도면 6



도면 7



도면 8



도면 9

